

BE

Citation 1

(Translation of Relevant parts and Abstract)

Japanese Patent Application Laying Open (KOKAI) No. 2-103630

laid open to the public April 16, 1990

Japanese Patent Application No. 63-256845

filed October 12, 1988

Priority(ies) claimed: None

Applicant(s): NEC Corporation, Tokyo, Japan and
KOUFU NIPPON DENKI KK, Yamanashi, Japan

Inventor(s): Akihisa MAKITA, et al., Japanese citizens

Title of Invention: DATA PROCESSOR

Detailed Description of the Invention:

page 2, right upper column, line 19 to left lower column, line 19

Instructions used here include Load Multiple instruction (hereinafter call LM instruction) and Store Multiple instruction (hereinafter called STM instruction). The LM instruction and the STM instruction are in the instruction format shown in Figure 4 that shows instruction formats of the LM instruction and the STM instruction. The LM instruction and the STM instruction have operation code part OP for indicating that the instruction is LM instruction or STM instruction, ADR field for indicating an address of main memory storing data to be loaded into a register for an LM instruction and indicating an address of main memory for storing contents of a register for an STM instruction, N_b, N_g fields for indicating the number of base registers and general-purpose registers

BEST AVAILABLE COPY

for loading or storing, and B1, G1 fields for indicating the top number of base registers and general-purpose registers for loading or storing. N_b base registers counted from the number indicated by Bf and N_g general-registers counted from the number indicated by G1 are loaded or stored in accordance with an LM instruction or an STM instruction.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-103630
(43)Date of publication of application : 16.04.1990

(51)Int.CI. G06F 9/30
G06F 7/00
G06F 9/34

(21)Application number : 63-256845 (71)Applicant : NEC CORP
KOUFU NIPPON
DENKI KK
(22)Date of filing : 12.10.1988 (72)Inventor : MAKITA AKIHISA
ENDO TOMOHIKO

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To speed up a data processing designating plural registers with one instruction to a register group composed of plural kinds of plural general purpose registers, address registers, etc., each of which is composed of plural registers and processing instructions for storing data in a main memory device. CONSTITUTION: This data processor is constituted of an instruction control section 1, main memory device (memory) 2, alignment circuits 5 and 9, registers 6-8, 11, 12, 15...30, 39, and 40, operation register 10, selector 13, ALU (arithmetic logic unit) 14, store mask decoder 35, and adders 31...34, 36, and 38. Then plural registers of the register group composed of general purpose registers, address registers, etc., each of which is composed of plural registers are designated by one instruction and instructions for storing data in the memory 2 are performed. Therefore, processing speeds of arithmetic operations of various data sizes can be improved.

Fig. 2

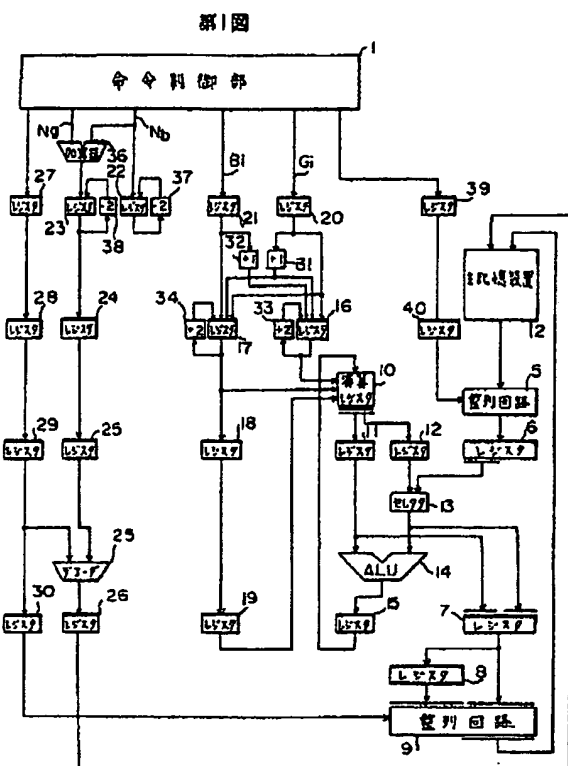
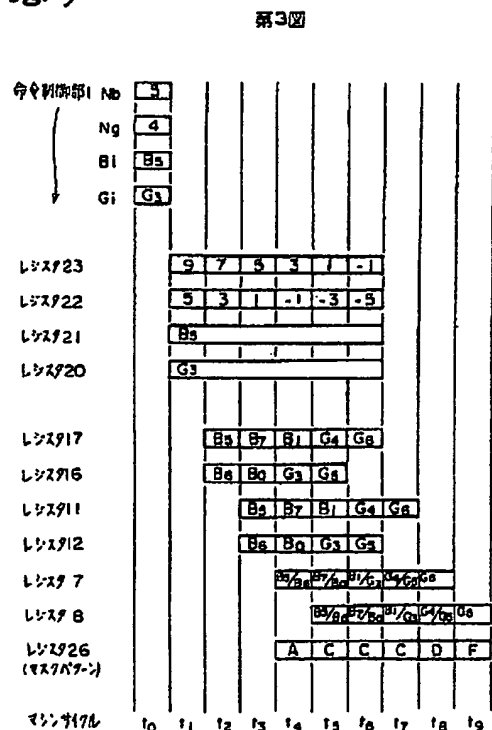


Fig. 3



第2圖

	マスA	マスB	マスC	マスD	マスE	マスF
0 0 0	11 11 11	11 00 00	11 11 11	11 00 00	00 00 00	00 00 00
0 0 1	00 11 11	01 11 00	11 11 11	11 10 00	00 00 00	00 00 00
0 1 0	00 10 11	00 01 00	11 11 11	11 11 00	00 00 00	00 00 00
0 1 1	00 00 11	00 01 10	11 11 11	11 11 10	10 00 00	00 00 00
1 0 0	00 00 10	00 00 01	11 11 11	11 11 11	00 00 00	00 00 00
1 0 1	00 00 01	11 00 00	11 11 11	11 11 10	00 00 00	00 00 00
1 1 0	00 00 00	11 00 00	11 11 11	11 11 11	00 00 00	00 00 00
1 1 1	00 00 00	11 00 00	11 11 11	11 11 11	00 00 00	00 00 00

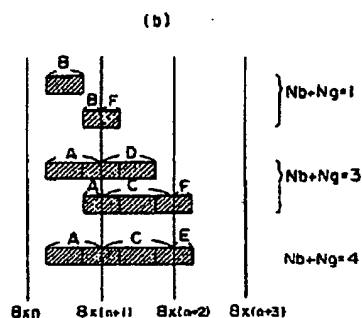
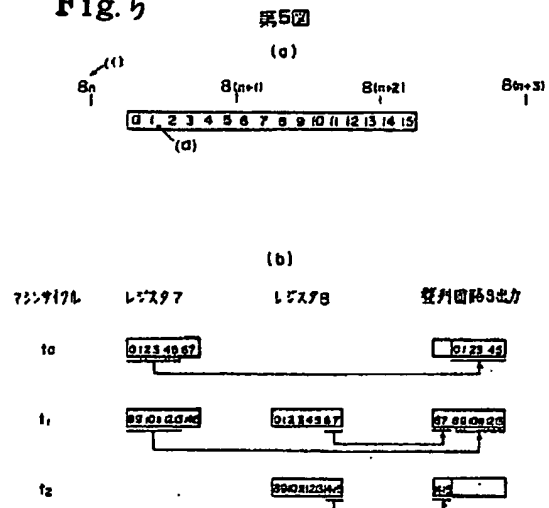


Fig. 4



Fig. 5



⑩ 日本国特許庁(JP) ⑪ 特許出願公開
 ⑫ 公開特許公報(A) 平2-103630

⑬ Int. Cl.¹ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)4月16日
 G 06 F 9/30 3 5 0 B 7381-5B
 7/00
 9/34 3 3 0 7361-5B
 7313-5B G 06 F 7/00 R
 審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 データ処理装置

⑯ 特 願 昭63-256845

⑰ 出 願 昭63(1988)10月12日

⑱ 発 明 者 牧 田 明 久 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 発 明 者 遠 藤 友 彦 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会
 社内
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉑ 出 願 人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号
 ㉒ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

一連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を有し、前記メモリへのデータのストアを個々のレジスタの複数個分のデータ幅で行い得るデータ処理装置で、前記第1のレジスタ群の任意の番号のレジスタから任意の個数のレジスタと前記第2のレジスタ群の任意の番号のレジスタから任意の個数のレジスタを前記メモリへストアする命令の実行において、命令で指定されたメモリへストアする第1のレジスタ群のレジスタの個数がセットされ該メモリへのストアのデータ幅のレジスタのデータ幅に対する倍数分だけメモリへのストア毎に減算されるカウンタ手段と、前記第1のレジスタ群と前記第2のレジスタ群から前記メモリへストアするため読出すレジスタを指定するレジスタ

番号を保持する前記倍数の個数のレジスタ番号レジスタ群とを有し、前記カウンタ手段の値が前記倍数より大きいか等しい際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を前記レジスタ番号レジスタ群の各レジスタに順にセットし、命令開始後2回目以降のストアに対しては前記レジスタ番号レジスタ群の各レジスタには各々直前の値に前記倍数だけ加算した値をセットし、前記カウンタ手段の値が前記倍数より小さく0以上の際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を前記レジスタ番号レジスタ群の先頭のレジスタから前記カウンタ手段の値の個数のレジスタにセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をセットし、命令開始後2回目以降のストアに対しては前記レジスタ番号レジスタ群の先頭から前記カウンタ手段の

値の個数のレジスタには直前の値に前記倍数だけ加算した値をセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先のレジスタ番号から連続したレジスタ番号をセットし、前記カウンタ手段の値が負のときには、前記レジスタ番号レジスタ群の各レジスタには直前の値に前記倍数だけ加算した値をセットするように制御されることを特徴とするデータ処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は汎用レジスタ、アドレスレジスタなど複数種類の各々が複数個からなるレジスタ群に対して1命令で複数個のレジスタを指定して主記憶装置へストアする命令を処理するデータ処理装置に係り、特に一連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を有し、上記メモリへのデータのストアを個々のレジスタの複数個分のデータ幅で行い得るデータ処理装置に関するものである。

る)ヤストアマルチプル(Store Multiple)命令(以下、STM命令と呼称する)がある。そして、このLM命令およびSTM命令はLM命令、STM命令の命令語形式を示す図である第4図に示すような命令形式をしており、LM命令あるいはSTM命令であることを示すオペコード部OP、LM命令のときはレジスタにロードするデータが格納されている主記憶装置上のアドレスを示しSTM命令のときはレジスタの内容をストアすべき主記憶装置上のアドレスを示すADRフィールド、ロードあるいはストアするベースレジスタ、汎用レジスタの個数を示すNb、Ngフィールド、ロードあるいはストアするベースレジスタ、汎用レジスタの先頭番号を示すB1、G1フィールドを持つ。このLM命令、STM命令でロードあるいはストアされるベースレジスタはB1で示される番号から連続する番号を持つNb個であり、同じく汎用レジスタはG1で示される番号から連続する番号を持つNg個である。

そして、メインプログラムからサブルーチン

(従来の技術)

この種のデータ処理装置では、ベースレジスタ(Base Register)と呼ばれる主に主記憶装置内の命令語や命令で使用するデータを指定するためのアドレス情報を格納するレジスタや汎用レジスタ(General Register)と呼ばれる主に演算データやベースレジスタとともに使用されるインデックス(Index)情報を格納するレジスタが複数個ずつ用意されており、プログラムから自由に使用できるようになっている。

そして、ベースレジスタや汎用レジスタは各々連続した互いに独立な番号が付けられ、この番号を指定することでプログラムから簡単に使用できるようになっているがその数に限りがあるためサブルーチンプログラム等で作業用レジスタを必要とする場合メインプログラム側で使用していたレジスタを一時退避しメインプログラムに戻るときに回復する必要がある。

このときに使用される命令にロードマルチプル(Load Multiple)命令(以下、LM命令と呼称す

プログラムが呼ばれるとき、メインプログラムで使用していたベースレジスタおよび汎用レジスタの内容はSTM命令によつて主記憶装置へ退避され以降サブルーチンプログラムではこれらのベースレジスタおよび汎用レジスタを自由に使用できるようになる。サブルーチンプログラムでの処理が終わり呼び出し元のメインプログラムへ戻るときSTM命令によつて主記憶装置へ退避されていたベースレジスタ・汎用レジスタは、LM命令によつてサブルーチンプログラムを呼ぶ前の状態に回復されメインプログラムの処理が続けられる。

(発明が解決しようとする課題)

LM命令およびSTM命令の特性は、複数のレジスタを退避・回復するときに通常のロード命令・ストア命令のようにレジスタ1個ずつに命令1個ずつを記述する必要がなくプログラムが簡単になることであるが、実際にロードあるいはストアされるレジスタが命令語中に1つずつ記述されているわけではないので、データ処理装置の

制御回路が先頭のレジスタ番号BI, GI とレジスタの個数Nb, Ng から各々のレジスタ番号を生成しレジスタの読出し・書き込みを制御しなければならない。

一般に、高速の汎用のデータ処理装置では、種々のデータサイズの演算処理を高速化するために、主記憶装置との間の読出しおよび書き込みのデータ幅をなるべく広くとり効率を上げようとしており、通常このデータ幅はベースレジスタおよび汎用レジスタのデータ幅の2倍あるいはそれ以上に与えられていることが多いが、LM 命令、STM 命令では上述したロード・ストアのレジスタ番号の制御の複雑さ故に、この主記憶装置とデータ処理装置との間のデータバスを有効に利用できていなかった。

さらに、従来のこの種のデータ処理装置では、汎用レジスタ間の演算、例えば、汎用レジスタ α と汎用レジスタ β とを加算し汎用レジスタ α へ格納というような命令が存在し、この命令を高速化するために汎用レジスタを2個同時に読出すことができるようになっていたが、この機能もSTM 命

令に対して上述した理由により有効に利用されていないという課題があつた。

(課題を解決するための手段)

本発明のデータ処理装置は、一連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を有し、上記メモリへのデータのストアを個々のレジスタの複数個分のデータ幅で行い得るデータ処理装置で、上記第1のレジスタ群の任意の番号のレジスタから任意の個数のレジスタと上記第2のレジスタ群の任意の番号のレジスタから任意の個数のレジスタを上記メモリへストアする命令の実行において、命令で指定されたメモリへストアする第1のレジスタ群のレジスタの個数がセットされそのメモリへのストアのデータ幅のレジスタのデータ幅に対する倍数分だけメモリへのストア毎に演算されるカウンタ手段と、上記第1のレジスタ群と上記第2のレジスタ群から上記メモリへストアするため読出すレジスタを指定するレジスタ番号を保持する上

記倍数の個数のレジスタ番号レジスタ群とを有し、上記カウンタ手段の値が上記倍数より大きいか等しい際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を上記レジスタ番号レジスタ群の各レジスタに順にセットし、命令開始後2回目以降のストアに対しては上記レジスタ番号レジスタ群の各レジスタには各々直前の値に上記倍数だけ加算した値をセットし、上記カウンタ手段の値が上記倍数より小さく0以上の際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を上記レジスタ番号レジスタ群の先頭のレジスタから上記カウンタ手段の値の個数のレジスタにセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をセットし、命令開始後2回目以降のストアに対しては上記レジスタ番号レジスタ群をセットし、残りのレジスタ番号レジスタには命令

で指定された第2のレジスタ群の先頭のレジスタ番号から連続したレジスタ番号をセットし、上記カウンタ手段の値が負のときには上記レジスタ番号レジスタ群の各レジスタには直前の値に上記倍数だけ加算した値をセットするように制御されるものである。

(作用)

本発明においては、汎用レジスタ、アドレスレジスタなど複数種類の各々が複数個からなるレジスタ群に対して1命令で複数個のレジスタを指定して主記憶装置(メモリ)へストアする命令を処理する。

(実施例)

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

図において、1は命令制御部、2は主記憶装置(メモリ)、5, 9は整列回路6~8, 11, 12, 15, 16...30, 39, 40はレジスタ、10は

演算レジスタで、この演算レジスタ18は、1連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を内蔵している。そして、レジスタ16, 17は第1のレジスタ群と第2のレジスタ群から主記憶装置1(メモリ)へストアするため読出すレジスタを指定するレジスタ番号を保持するメモリへのストアのデータ幅のレジスタのデータ幅に対する倍数の個数のレジスタ番号レジスタ群を形成している。13はセレクト、14はALU (Arithmetic Logic Unit)、31, 32, 33, 34, 36, 37, 38は加算器で、この加算器38とレジスタ13は命令で指定されたメモリへストアする第1のレジスタ群のレジスタの個数がセットされそのメモリへのストアのデータ幅のレジスタのデータ幅に対する倍数分だけメモリへのストア毎に減算されるカウンタ手段を構成している。

そして、第1のレジスタ群の任意の番号のレジスタから任意の個数のレジスタと第2のレジスタ

群の任意の番号のレジスタから任意の個数のレジスタをメモリへストアする命令の実行において、上記カウンタ手段の値が上記倍数より大きいか等しい際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をレジスタ番号レジスタ群の各レジスタに順にセットし、命令開始後2回目以降のストアに対してはレジスタ番号レジスタ群の各レジスタには各々直前の値に上記倍数だけ加算した値をセットし、上記カウンタ手段の値が上記倍数より小さく0以上の際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をレジスタ番号レジスタ群の先頭のレジスタから上記カウンタ手段の値の個数のレジスタにセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をセットし、命令開始後2回目以降のストアに対してはレジスタ番号レジスタ群の先頭から上記カウ

ンタ手段の値の個数のレジスタには直前の値に上記倍数だけ加算した値をセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続したレジスタ番号をセットし、上記カウンタ手段の値が0のときにはレジスタ番号レジスタ群の各レジスタには直前の値に上記倍数だけ加算した値をセットするように制御されるよう構成されている。

つぎにこの第1図に示す実施例の動作を説明する。

まず、命令制御部1は命令語を解説しデータ処理装置各部へ命令実行に必要な情報と制御信号を供給する。主記憶装置2は、データ処理装置で実行される命令や各種データが格納されるがこの第1図に示す実施例では命令制御部1への命令供給パスは省略されている。この主記憶装置2からはアドレスが $8n \sim 8n+7$ の8バイトのデータを一度に読出せるが、主記憶装置2に格納されている各種オペランドは任意のアドレスに置かれるため整列回路5によつて各種データタイプ毎に処理しや

すようにレジスタ8の一定の位置へ整列して読出される。そして、読出されたデータの整列のための情報としてはオペランドの先頭のアドレスの最下位3ビットが命令制御部1からレジスタ39とレジスタ40を経由して供給されるため、この情報から主記憶装置2から読出された8バイト内のデータのどの位置にオペランドの先頭があるかを知ることができる。

主記憶装置2にストアされるデータもアドレス $8n \sim 8n+7$ の8バイトを基本とするので、任意のバイト位置からデータを書込むためにストアデータはレジスタ7およびレジスタ8にセットされた後整列回路9によつてデータの先頭位置を所定のバイト位置にずらしてからストアされる。そして、ストアデータの整列のための情報としては読出しのときと同様に先頭アドレスの最下位3ビットを命令制御部1からレジスタ27~30を経由して供給される。ここで、レジスタ8の機能は8バイトより大きなデータを連続して主記憶装置2に整列して書込むためのバッファの役割を果たしており、

整列によつてはみ出したレジスタ7のストアデータが次のマシンサイクルでレジスタ8から供給されストアされる態様が第5図に示されている。第1図におけるレジスタ7, 8と整列回路9の動作説明図である。第5図において、(a)はストアされるデータの形式を示したものであり、(b)はレジスタ7, 8および整列回路9の動作を示したものである。そして、(c)は主記憶装置2のアドレスを示し、(d)はストアされるデータの先頭からのバイト位置を示す。

同様な機構は主記憶装置2からの読出しデータについても必要であるが、この実施例で説明されるSTM命令については関係がないため詳細が省かれている。また、主記憶装置2へストアするデータは常に8バイト全てとは限らないため、実際に8バイトの中でストアするバイトを指定するストアマスク情報をストアマスクデコード35で生成してレジスタ28から主記憶装置2へストアデータと一緒に送る。これは、例えば、第5図において最初にストアデータのバイト0~5をストアす

るときの主記憶装置2へのデータの8バイトの先頭2バイトあるいは最後のストアデータのバイト14~15をストアするときの8バイトの後6バイトはデータをストアした後も元の内容を書換えないようにする必要があるからである。なお、ストアマスクデコード35の詳細については後述する。

つぎに、演算レジスタ10には、4バイトのデータ幅をもつたベースレジスタおよび汎用レジスタが各8個ずつ含まれる。そして、個々のベースレジスタおよび汎用レジスタにはそれぞれベースレジスタ内、汎用レジスタ内で連続した独自の番号が割付けられ、このレジスタ番号によつて互いを区別する。この演算レジスタ10へはレジスタ19に保持されたレジスタ番号のベースレジスタあるいは汎用レジスタ全16個の中の1個に対してレジスタ15に保持された4バイトのデータを書込むことができる。一方、読出しに関しては、レジスタ18およびレジスタ17に各々保持されたレジスタ番号のベースレジスタあるいは汎用レ

ジスタを同時に読出すことができ、汎用レジスタと汎用レジスタの間の演算を高速に処理することができる。また、演算レジスタ10から読出されたデータはレジスタ7や整列回路9を過つて主記憶装置2へストアすることもできる。

ALU14は演算レジスタ10から読出されたデータともう一方の演算レジスタ10からの読出しデータあるいは主記憶装置2からの読出しデータの内セレクト13で選択されたものに論理演算や算術演算を施しレジスタ15から演算レジスタ10に書込む。

つぎに、レジスタ18は演算レジスタ10から読出すレジスタのレジスタ番号を保持し、レジスタ17はもう一つの演算レジスタ10からの読出しレジスタ番号を保持するとともに演算レジスタ10への書込みレジスタ番号の制御にも使用され、レジスタ18, 19とレジスタ番号が持回られる。

そして、このレジスタ18, 17には加算器31, 32, 33, 34が接続され、命令制御部1か

ら供給されたレジスタ番号を保持しているレジスタ20および21の内容をそのままあるいは+1加算した値をセットできるほか自分自身の内容に+2加算した値をセットすることもできる。ここで、レジスタ番号+1加算するということの意味は次のベースレジスタあるいは汎用レジスタのレジスタ番号を得ることである。ただし、ここで注意すべきことはベースレジスタおよび汎用レジスタは各々8個しかないで最大のレジスタ番号を持つベースレジスタ・汎用レジスタの次のレジスタは各々最小のレジスタ番号を持つベースレジスタ・汎用レジスタとなり、加算器31, 32, 33, 34もそのように動作する。

レジスタ22はSTM命令の制御のための専用レジスタであり、命令語のNbフィールドの値、すなわち、ストアされるベースレジスタの個数が命令制御部1から供給されセットされ、演算レジスタ10の内容を主記憶装置2にストアする毎に加算器37によつてその値が-2ずつ減ぜられる。このレジスタ22の機能はその値によつて演算レ

レジスタ10のレジスタ番号レジスタ18および17にセットされるレジスタ番号を制御することであり、下記表に示すようにレジスタ22の値によってSTM命令で指定された演算レジスタの第1回目のストア動作あるいは第2回目以降のストア動作に合わせてレジスタ18, 17の内容は制御される。

レジスタ22の値	1 回目の値		2 回目以降の値	
	レジスタ17	レジスタ16	レジスタ17	レジスタ16
≥2	B1 (レジスタ21 の内容)	B1+1 (レジスタ21 の内容+1)	レジスタ17 の内容+2	レジスタ16 の内容+2
=1	B1	G1 (レジスタ20 の内容)	レジスタ17 の内容+2	G1
=0	G1	G1+1 (レジスタ20 の内容+1)	G1	G1+1
<0	-	-	レジスタ17 の内容+2	レジスタ16 の内容+2

レジスタ23は、ストア動作を制御するためのレジスタであり、STM命令実行時は、命令語のNb

フィールドおよびNg フィールドの値が命令制御部1から供給され、これらの値を加算器38で加算した値、すなわち、ストアするベースレジスタと汎用レジスタの個数がセットされ演算レジスタ10の内容を主記憶装置2にストアする毎に加算器38によつて-2 ずつ減ぜられる。そして、このストア動作毎に-2 ずつ減ぜられたレジスタ23の値は、レジスタ24と25を経由してストアマスクデコード35に供給される。

ストアマスクデコード35は、命令制御部1から供給されレジスタ27, 28, 29を経由してきた主記憶装置2へのストアの先頭アドレスの最下位3ビットの情報と、レジスタ23からレジスタ24, 25と経由されてきた値、すなわち、ストアすべき残りのレジスタの個数と、そのストア動作がSTM命令の最初のストア動作か否かという情報からストアマスク情報を生成してレジスタ26から主記憶装置2へ整列回路9からのストアデータと同期して送る。第2図(a)にストアマスクの生成パターンを示す。

第1図におけるストアマスクデコード35の動作パターン(a)と使用例を示す図(b)である第2図において、(a)に示すマスクパターンAは第1回目のストアで残りのレジスタ個数が2以上のときに使われ、マスクパターンBは、第1回目のストアで残りのレジスタ個数が1のとき、マスクパターンCは2回目以降のストアで残りのレジスタ個数が2以上のとき、マスクパターンDは2回目以降のストアで残りのレジスタ個数が1のとき、マスクパターンEは2回目以降のストアで残りのレジスタ個数が0のとき、マスクパターンFは2回目以降のストアで既に1回前のストアで残りレジスタ個数が1個になつていたときにそれぞれ使われるパターンで、各々のマスクパターンで「1」になつているビットに対応するバイトが実際に主記憶装置に書き込まれる。

第2図(b)には、実際にストアするレジスタの個数およびストアの先頭アドレスによつてストアマスクパターンがどのように使われるかが示されている。

なお、実際に主記憶装置2に対して行なわれるストア動作の回数Sはストアされるベースレジスタ、汎用レジスタの合計 $R=Nb+Ng$ とストア先の先頭アドレス最下位3ビットAから

$$S = (4R + A + 7) / 8 \quad (\text{小数点以下切捨て}) \dots (1)$$

で求められ、命令制御部1からの制御によつてこの回数だけのストア動作が行なわれる。

以上が第1図のデータ処理装置の各部の機能説明であり、つぎにこのデータ処理装置について具体的な動作をSTM命令の実行例を示すタイムチャートである第3図によつて説明する。図中、ベースレジスタ、汎用レジスタのレジスタ番号と各々のレジスタから読出された内容をBj(j=0...7), Gj(j=0...7)で表わしている。

そして、この例では、ストアされるベースレジスタはB₅から始まる5個、汎用レジスタはG₄から始まる4個の合計9個で、ストアアドレスの最下位3ビットは6であり、前記(1)式によりストア動作回数は6回となる。

以下、順を追って説明する。

まず、マシンサイクル t_0 においてSTM命令を
 解説した命令制御部1は命令語(第4図参照)か
 らとりだしたNb, Ng, B1, B2等の情報を出力す
 る。そして、これらの情報は、マシンサイクル t_1
 においてレジスタ23にはNb+Ng=9、レジスタ
 22にはNb=5、レジスタ21にはB1=B2、レ
 ジスタ20にはG1=G2としてとり込まれる。以
 降、レジスタ21, 20の内容はSTM命令の修了
 するまでこのまま保持され続ける。一方、レジ
 スタ23, 22にとり込まれたNb+Ng, Nbの情報は
 同じくSTM命令の修了するまで-2ずつ減ぜら
 れ、ストアマスクの生成の制御、演算レジスタ
 の読出し番号の制御に使用される。

そして、レジスタ17, 16に保持されている
 演算レジスタ10からの読出しレジスタ番号は、
 マシンサイクル t_0 において始めて演算レジスタ
 10からのデータの読出しのためにセットされ
 る。マシンサイクル t_1 まで(B1, B2), (B3, B4)
 とベースレジスタのペアを順に指示していくが、

マシンサイクル t_0 においてレジスタ22の値=1
 によつて残りのベースレジスタの個数が1個で
 あることがわかると、次のマシンサイクル t_1 で
 は残りのベースレジスタB3と次の汎用レジスタ
 へ先頭G3を指示するように制御され、以降(G3,
 G4), (G5, なし)と順に読出すレジスタ番号を指示
 していく。

マシンサイクル t_1 以降2つずつ演算レジスタ
 10から読出されたベースレジスタ・汎用レジ
 スタはレジスタ11, 12, 7, 8および整列回路9
 を経て主記憶装置2へストアされていき、8回の
 ストア動作で終了する。

一方、ストアデータに同期してストアマスクは、
 レジスタ23からレジスタ24, 25を経た残り
 レジスタ個数とストアアドレスの最下位3ビット
 の情報で整列回路9で整列されたストアデータの
 バイト位置に合わせて生成され、主記憶装置2へ送
 られる。

〔発明の効果〕

以上説明したように本発明は、汎用レジスタ、

アドレスレジスタなど複数種類の各々が複数個か
 らなるレジスタ群に対して1命令で複数個のレジ
 スタを指定して主記憶装置(メモリ)へストアす
 る命令を処理することにより、メモリーへのストア
 データ幅が各レジスタのデータ幅の複数倍ある
 場合、複数レジスタを同時に1回のストア動作で
 メモリーへストアすることができ、また、種類の
 異なったレジスタとレジスタの継ぎ目でも連続して
 ストアすることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、
 第2図は第1図におけるストアマスクデコードの
 動作説明図、第3図は第1図の実施例における動
 作例を示すタイムチャート、第4図は本発明の説
 明に供するLM命令、STM命令の命令語形式を示
 す説明図、第5図は第1図におけるレジスタおよび
 整列回路の動作説明図である。

1・・・命令制御部、2・・・主記憶装置
 (メモリ)、5, 9・・・整列回路、10・・・
 演算レジスタ、13・・・セレクタ、14

・・・ALU、6~8, 11, 12, 15~30・・・
 レジスタ、31~34・・・加算器、35・・・
 ストアマスクデコード、36~38・・・
 加算器、39, 40・・・レジスタ。

特許出願人 日本電気株式会社

同 甲府日本電気株式会社

代理人 山川政樹(ほか2名)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.